



Projeto de hardware para o bloco de decodificação de entropia do formato de codificação de vídeo AV1

Jiovana Gomes, discente de graduação, Universidade Federal do Pampa, Campus Bagé

Fábio Ramos, docente, Universidade Federal do Pampa

jiovanagomes.aluno@unipampa.edu.br

A demanda crescente de vídeos digitais pela internet, como vídeo sob demanda e teleconferências, tem causado a busca por soluções de codificação que evitam a sobrecarga dos serviços de telecomunicações. Por isso, empresas vêm investindo em novos padrões de codificação de vídeo com taxas maiores de compressão. O formato de codificação de vídeo AV1 foi lançado em 2018 pela Alliance for Open Media, como um formato de código aberto e sem royalties, que visa entregar grandes ganhos em compressão. Contudo, por ser um padrão de desenvolvimento recente, existem poucas soluções que abordam arquiteturas em hardware para esse formato. Essas implementações em hardware são necessárias para se alcançar desempenho de tempo-real que, de outra forma, não é possível rodando puramente em software. Tendo isso em vista, o objetivo do trabalho é formular arquiteturas funcionais de baixo consumo de potência para uma das etapas do decodificador de vídeo segundo o padrão AV1: a decodificação de entropia, mas especificamente a etapa de decodificação aritmética. A codificação de entropia no AV1 pode ser de dois tipos: binária, com probabilidade constante e igual para ambos os símbolos, ou para um alfabeto de até 16 símbolos, onde estes símbolos sempre possuem probabilidades diferentes de ocorrerem. Por meio da análise do software de referência AOMedia Codec v1.0.0 foram obtidos dados estatísticos que nortearam o desenvolvimento da arquitetura. Atualmente, esta consiste em três módulos principais: um módulo que realiza a decodificação para os alfabetos com probabilidades diferentes para cada símbolo, um módulo para o alfabeto binário com probabilidade igual, sendo estes dois combinacionais, e um módulo que faz a junção dos dois primeiros, contendo registradores que armazenam as entradas e saídas. A arquitetura recebe como entrada os seguintes parâmetros obtidos com a execução do software: o valor atual do bitstream, o número de símbolos, um bit que identifica início de frames e até 15 valores de probabilidades, e tem como saída os símbolos decodificados. Para validar o funcionamento da arquitetura, foram realizados testes com dez frames de cinco sequências de vídeos em 1920 x 1080p, comparando a saída da arquitetura com a saída esperada em software. Os resultados preliminares apontam uma vazão para o decodificador de 1,19 bits por ciclo de clock. A arquitetura foi sintetizada para FPGA usando a ferramenta Quartus II, obtendo resultados em área de 1012 elementos lógicos, uma potência total de 213 mW e frequência de 52 MHz, para um dispositivo da família Cyclone IV. Concluindo, a arquitetura proposta encontra-se funcional, conseguindo decodificar os símbolos sem falhas. Como este trabalho está em andamento, as técnicas para redução do

consumo de potência ainda não foram empregadas.

Agradecimentos: este trabalho foi realizado com incentivo da FAPERGS.

Palavras-chave: projeto de hardware; codificação de vídeo; decodificação aritmética.