



Implementação do controle digital para um ADC SAR de 10-bits

Edivania Ferreira Silva, discente de graduação, Universidade Federal do Pampa,
Campus Alegrete
Paulo César Comassetto de Aguirre, docente, Universidade Federal do Pampa

edivaniaferreira.aluno@unipampa.edu.br

Os Conversores Analógico-Digitais (ADC's) desempenham um importante papel no processamento de sinais juntamente com os Conversores Digital-Analógicos (DAC's). Dentre as muitas topologias de ADC's, o ADC SAR (Registro de Aproximações Sucessivas) é uma das mais empregadas devido a suas características de resolução e largura de banda. Este conversor é comumente empregado em sistemas de instrumentação eletrônica presente no controle de processos industriais, sistemas embarcados e também é um bom candidato para aplicação em sistemas de Internet das Coisas (IoT). Essa topologia de ADC é composta por quatro sub circuitos principais: um circuito de amostragem e retenção, um comparador de tensão analógico, um circuito de registro de aproximações sucessivas e um DAC. O algoritmo de aproximação sucessiva inicia zerando todo o registro de bits do ADC, após isso o bit mais significativo (MSB) é setado em 1 e esse valor é então levado até o DAC que o converte em sinal analógico. Este sinal é então fornecido ao comparador, que o compara com o sinal de entrada V_{in} , e, dependendo do resultado da comparação o valor que foi atribuído anteriormente ao MSB permanecerá em nível lógico alto ou irá para nível lógico baixo. Este processo se repete até que todos os bits anteriores ao MSB tenham seus valores definidos. O controle digital é quem comanda todo este processo de aproximação. Neste trabalho foi desenvolvido o controle digital para um ADC SAR de 10 bits na linguagem de descrição de *hardware SystemVerilog*. Foram implementadas duas versões deste circuito para verificar em qual das implementações se obteria um melhor resultado, tendo como critério a quantidade de portas lógicas e conseqüentemente a área total em silício necessária para a construção destes circuitos. As duas versões deste circuito, denominadas V1 e V2, possuem as mesmas quantidades de entradas e saídas e foram montadas a partir de máquinas de estados finitos (FSM). A máquina de estados montada para a versão V1 possui quatro estados e para V2 possui doze estados. A versão V1 foi elaborada para ser facilmente reconfigurada para diferentes resoluções de ADC, para isso, foi essencial o uso de variáveis e de registros de deslocamentos, e a conversão dos bits foi feita através de um loop, ou seja, ocorre em apenas um estado da máquina. A versão V2 foi feita exclusivamente para um ADC de 10 bits, nesta versão não foi utilizada nenhuma variável ou registro de deslocamento. Todos os valores a serem convertidos foram definidos inicialmente no código e cada estado da máquina de estados foi responsável por converter um bit. A codificação e validação de ambos os circuitos de controle foi realizada inicialmente no simulador ModelSim, visando a rápida identificação de possíveis erros nos códigos seguida de uma nova verificação. Na sequência, efetuou-se a validação final dos circuitos de controle com uma simulação analógica e de sinais mistos (AMS) de um ADC SAR de 10 bits completo no *software* Virtuoso Suite da Cadence. Após isso, foi efetuada a síntese lógica e síntese física de cada um dos controles digitais usando as *standard cells* da tecnologia CMOS de 180 nm da TSMC, sendo a primeira realizada no *software* Cadence Genus Synthesis Solution e última no *software* Cadence Innovus

Implementation System. A síntese lógica do circuito V1 indicou que ele necessita de 215 portas lógicas para ser construído e que a implementação V2 precisa de apenas 81 portas lógicas. A síntese física foi efetuada considerando as mesmas condições e indicou que a área requerida pelos circuitos V1 e V2 é de 10.951,92 μm^2 e 3.898,048 μm^2 , respectivamente. Com base nos resultados obtidos observou-se que o circuito V2 necessita de apenas 37,67% do número de portas lógicas e 35,6% da área de silício exigidos para o circuito V1. Devido a isso pode-se afirmar que o circuito dedicado exclusivamente a uma resolução, implementação V2, é mais eficiente em relação ao uso de portas lógicas e área em silício quando comparado com a versão V1, cujo foco é a fácil reconfiguração da resolução.

Agradecimentos: Os autores gostariam de agradecer ao Programa de Desenvolvimento Acadêmico 2021 da UNIPAMPA.

Palavras-chave: Controle Digital; ADC SAR; System-Verilog; Síntese Lógica; Síntese Física.