



PROJETO E CARACTERIZAÇÃO DE UM DAC R-2R DE 8 BITS PARA APLICAÇÕES EM BAIXA TENSÃO

Martina C. Rodrigues, discente de graduação, Universidade Federal do Pampa, Campus Alegrete

Paulo César C. Aguirre, docente, Universidade Federal do Pampa, Campus Alegrete
{martinarodrigues.aluno; pauloaguirre}@unipampa.edu.br

Palavras-chave: DAC R2R; Baixa Tensão; Conversor Digital-Analógico

Os conversores de dados são circuitos essenciais para efetuar a conversão de sinais entre os domínios analógico e digital. O conversor digital para analógico (DAC) é responsável por converter um sinal digital em um sinal analógico. Os DACs são comumente usados em leitores de música, em televisões e celulares. Também podem ser usados dentro de ADCs e sistemas de comunicação e ultimamente tem aumentado seus estudos para aplicações em circuitos para aplicações biomédicas. Existem várias topologias de DAC, e o R-2R DAC é um dos DACs resistivos mais usados devido ao seu número reduzido de resistores. Além disso, de acordo com roteiros de semicondutores recentes, é necessário estender a operabilidade dos dispositivos para Internet das Coisas (IoT), e isso requer operação em tensões de alimentação progressivamente baixas, apesar dos pontos desafiadores para operar CMOS em 0,5-0,4V. Este trabalho apresenta a implementação de um DAC R-2R compacto de 8 bits para aplicações analógicas de baixa potência. Este DAC de 8 bits tem 16 resistores, 16 chaves CMOS projetadas com a topologia *Transmission Gate* e um Amplificador Operacional de Transcondutância (OTA) de baixa tensão com entrada *Rail-to-Rail*. Transistores CMOS operando em inversão fraca estão sendo amplamente utilizados pois proporcionam operação em baixa tensão e com baixo consumo de energia. Ainda, combinando esse tipo de operação juntamente com a técnica Bulk-Driven, garante mais confiabilidade em diversos trabalhos recentes com foco em OTAs rail-to-rail para operação em baixa tensão. O OTA projetado tem dois estágios. O primeiro estágio tem entrada com topologia Bulk-Driven, objetivando o sinal de entrada a alcançar o valor da tensão de alimentação, VDD, e VSS. Ainda, possui um circuito de carga ativa para minimizar problemas de distorção verificados em um par diferencial típico. O segundo estágio é um amplificador *Common Source*. As correntes de polarização foram implementadas por fontes de corrente CMOS e um circuito de polarização *Beta Multiplier* controlado por um resistor “*off chip*”. O OTA possui um Ganho DC de 82dB e um GBW igual a 9,5 kHz para uma carga capacitiva de 25 pF. A tensão de referência positiva do DAC é igual a 350 mV e a tensão de referência negativa é 50 mV. A seleção das tensões de referência é realizada pelas chaves dependendo da palavra de entrada digital e também levou-se em consideração o resultado da saída do OTA quando colocado na configuração *Buffer*. É possível usar transistores como uma chave eletrônica monopolar em uma ampla variedade de aplicações diferentes. A resistência da chave em DACs R-2R deve ser muito menor do que a resistência dos resistores da rede resistiva. Neste trabalho foram empregados transistores MOS para a implementação das chaves. Então, podemos notar que para o NMOS e PMOS operarem como um dispositivo aberto (desligado) ou fechado (ligado), às seguintes condições devem ser verdadeiras: um NMOS se comporta como uma

chave fechada quando a tensão de Gate-Source, V_{GS} , é maior do que a tensão de threshold (V_T) e um NMOS se comporta como uma chave aberta quando a tensão V_{GS} é menor do que V_T . Um PMOS se comporta como uma chave fechada quando o módulo da tensão V_{GS} é maior que o módulo de V_T e um PMOS se comporta como uma chave aberta quando o módulo de V_{GS} , é menor do que V_T . A partir deste conceito, foi utilizado a topologia *Transmission Gate*, que consiste em dois transistores CMOS em paralelo, um PMOS e um NMOS com um inversor usado entre as portas para fornecer as duas tensões de controle complementares. Quando o sinal de controle, C , de entrada está baixo, os transistores NMOS e PMOS são desligados e a chave está aberta. Quando o sinal de controle está alto, ambos os dispositivos são polarizados em condução e a chave é fechada. Assim, a porta de transmissão atua como uma chave fechada quando $C = 1$ e a porta atua como uma chave aberta quando $C = 0$. Operando como uma chave controlada por tensão. O transistor NMOS possui um $W = 10\mu\text{m}$ e o PMOS um $W = 20\mu\text{m}$. Os resultados da simulação foram efetuados no ambiente da *Cadence* com o simulador *Spectre*, fornecendo uma não linearidade diferencial (DNL) igual a 0,2832 LSBs e uma não linearidade integral (INL) de 0,416 LSBs. O número efetivo de bits (ENOB) é igual a 7.96 e o SNR é igual a 50.3977 dB. O circuito foi projetado em tecnologia CMOS de 180 nm e tem uma frequência de amostragem de 1 kHz. O consumo total de energia do circuito é 517 nW para uma fonte de alimentação de 400 mV. A tensão de entrada *full scale* do DAC é 300 mV.

Os autores gostariam de agradecer ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) número de concessão 124619 / 2020-7 e a Universidade Federal do Pampa, Campus Alegrete.