



## **Projeto de um circuito de controle para calibração de offset de comparadores CMOS usando lógica SAR**

João Lucas Johan Brum, discente de Engenharia Elétrica, Universidade Federal do Pampa, Campus Alegrete

Paulo César Comassetto de Aguirre, docente, Universidade Federal do Pampa

João Lucas - [joaobrum.aluno@unipampa.edu.br](mailto:joaobrum.aluno@unipampa.edu.br)

Neste trabalho foi desenvolvido um algoritmo de calibração para compensar o offset de entrada de comparadores dinâmicos CMOS que serão empregados futuramente em um conversor analógico-digital do tipo pipeline. Este esquema de calibração é baseado no ajuste de um banco de capacitores de 5 bits conectado nas saídas do comparador. Deste modo é possível alterar a capacitância de cada nó da saída do comparador buscando compensar o offset de entrada, originado pelo descasamento dos transistores MOS e assimetrias no leiaute. O algoritmo de controle foi escrito em Systemverilog e usa a lógica de registro de aproximações sucessivas (SAR). Como estudo de caso empregou-se um comparador dinâmico do tipo double-tail visto que esta topologia apresenta apenas três transistores em série, possibilitando a sua operação em baixa tensão. Este comparador foi projetado em um processo CMOS de 180 nm. Vale ressaltar que o algoritmo foi desenvolvido para a calibração em diversas topologias de comparadores. Para o processo de calibração, um banco de capacitores com pesos binários de 5 bits é conectado em cada saída do comparador. O controle destes é feito por meio das palavras digitais  $sp$  e  $sn$ , indicando o número de capacitores a serem conectados em cada nó de saída. A técnica usada neste trabalho pode compensar o offset de polaridades positivas e negativas. Após as entradas serem conectadas à tensão de modo comum, o offset é estimado através da medida da tensão de saída do comparador. Depois que o sinal de offset (positivo ou negativo) é medido, o circuito de controle aciona os respectivos capacitores nas devidas saídas buscando a redução da magnitude do offset. Esta abordagem de calibração usa a lógica SAR assim passando por uma aproximação sucessiva de todos os 5 bits necessários para a compensação do offset. Para o algoritmo final desse circuito digital notou-se a necessidade de uma máquina de estados finito de 6 estados. A lógica SAR é busca binária. No primeiro ciclo, todos os registros são definidos como 0. Então, no estágio 1, o bit mais significativo (MSB) é definido como 1. Isso resulta no código binário '10000'. Verificando novamente a saída do comparador e se o resultado da saída for diferente do teste anterior, então o MSB é definido como 0. No estágio 2, o próximo bit age da mesma maneira. Portanto, isso continua até que todos os 5 bits sejam verificados. O algoritmo de calibração foi testado em uma simulação AMS no software Virtuoso. Na simulação foram utilizadas chaves e capacitores ideias. O capacitor unitário empregado é de 4fF. A frequência de clock aplicada ao comparador é de 100 MHz. Um offset de 3,5 mV foi emulado através da adição de uma carga capacitiva desbalanceada na saída do comparador. Estes capacitores foram conectados nas saídas do comparador e suas capacitâncias eram de 12 fF e outro 50 fF assim gerando 38fF de descasamento na capacitância de saída. Observando os sinais finais obtidos na calibração temos 01001. Isto representa uma capacitância equivalente a 36 fF adicionadas a capacitância de 12 fF, gerando assim uma redução no descasamento, de 38 fF para 2 fF. A tensão de offset foi reduzida para

181,25 uV. Essa precisão é limitada pelos capacitores unitários do banco de capacitores. Comparando os resultados obtidos neste documento com trabalhos anteriores foi observado que houve uma melhora significativa, tendo em vista que o uso de ciclos de clock diminuíram em relação a primeira versão do algoritmo que fora desenvolvido em trabalhos anteriores. Isso se deve a lógica SAR adotada no circuito. Por fim, foi efetuada a síntese lógica e física do circuito de controle lógico proposto em tecnologia CMOS de 180-nm da TSMC. A síntese lógica foi efetuada usando o software Cadence Genus Synthesis Solution, e considerando um fanout igual a 3. O número total de portas lógicas empregadas é de 213. Após, efetuou-se a síntese física do circuito usando o software Cadence Innovus Implementation System. A área total em silício resultante em nível de leiaute é de 5.859,388  $\mu\text{m}^2$ . Deste modo, este trabalho apresentou a implementação completa, desde a implementação em alto nível até o leiaute pronto para fabricação de um circuito digital de controle para calibração de offset de comparadores dinâmicos CMOS usando lógica SAR.

**Agradecimentos:** Os autores agradecem a bolsa PROBITI-FAPERGS-2020-2021 da Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul (FAPERGS) e bolsa PRO-IC 2021.

**Palavras-chave:** Offset; Algoritmo de calibração; Comparadores CMOS; Systemverilog; Registro de aproximações sucessivas.