

# Projeto e Avaliação de Desempenho de um Comparador CMOS Dynamic Bias Latch-Type

Victor Matheus Lima, discente de graduação, Universidade Federal do Pampa,  
Campus Alegrete

João Lucas Johan Brum, discente de graduação, Universidade Federal do Pampa,  
Campus Alegrete

Paulo César Comassetto de Aguirre, docente, Universidade Federal do Pampa

Victor Lima - [victorlima.aluno@unipampa.edu.br](mailto:victorlima.aluno@unipampa.edu.br)

Este trabalho apresenta o projeto completo de um comparador Dynamic Bias Latch-type, na tecnologia CMOS de 180 nm. Os comparadores são blocos fundamentais nos Conversores Analógico-Digitais (ADCs), e os ADCs são amplamente utilizados no processamento de sinais. Os mesmos têm como função a comunicação do mundo analógico com o digital. O comparador é responsável pela comparação de dois ou mais sinais, e há várias topologias existentes como: Strong-Arm, Double-Tail, Lewis-Gray, Dynamic Bias Latch-type entre outras. Em destaque a topologia Dynamic Bias Latch-type, esta arquitetura de comparador foi escolhida como estudo de caso a ser explorada neste trabalho, a mesma é composta por um estágio pré-amplificador e um estágio latch. O foco principal desta topologia é reduzir o consumo de energia por comparação por bit para um determinada relação sinal-ruído (SNR). Assim, a corrente de cauda tradicional do pré-amplificador é substituída por um capacitor de cauda e um transistor de cauda (M3a), que desempenha o papel de uma chave. Para a implementação do circuito foi necessário uma latch SR baseada em portas NOR. Todos os transistores usados no comparador e na latch SR foram dimensionados para o funcionamento em determinado SNR. Um grande problema enfrentado ao se projetar um comparador é o offset referenciado de entrada, este offset é causado por variação de processo de fabricação, assimetria no leiaute e dimensionamento dos transistores. A técnica tradicional de medição deste offset é o método da rampa, porém apesar desta técnica ser eficiente, ela é demorada. Buscando a redução do tempo de simulação é implementado um método que faz o uso de um bloco VerilogA, esta técnica é chamada de Smart Resettable SAR (SRSAR). As simulações foram feitas usando uma tensão de alimentação de 1.8 V e uma tensão de modo comum de 0.9 V, para o estudo de caso o clock do comparador é de 100 MHz. Avaliou-se o offset referenciado de entrada, atraso em relação ao clock e consumo de energia por comparação. Para extração dos valores da tensão de offset são avaliadas ambas as transições, subida e descida, e os resultados são obtidos a partir de 500 rodadas de MonteCarlo, usando o bloco SRSAR como testbench. Ao final da simulação dois histogramas são gerados, tensão de subida ( $V_{osR}$ ) e tensão de descida ( $V_{osF}$ ), o desvio padrão observado é igual  $V_{osR} = 1.939$  mV e  $V_{osF} = 1.938$  mV, assim satisfazendo a condição desejada que o desvio padrão seja menor que 5 mV. Na análise do delay em relação ao clock efetuou-se simulações paramétricas variando uma tensão diferencial de 1 mV a 1 V. Onde foi possível observar que o delay é menor e mais estável ao se aproximar a 1 V de tensão diferencial. O consumo de energia por comparação é obtido a partir da tensão de alimentação e da integral da corrente durante um período de comparação. A energia por comparação mostrou-se inferior a 10 fJ para tensões de entrada diferenciais inferiores a 1 mV. O ruído referenciado de entrada do comparador (IRN) é simulado

com uma simulação de ruído transiente considerando a frequência máxima de ruído de 10 vezes a frequência do relógio comparador. A distribuição de densidade de probabilidade cumulativa foi simulada (CDF) e seu ajuste de CDF estimado. A montagem foi feita no Matlab. O IRN do comparador é igual a 0,12466 mV, sendo adequado para manter o INL de um ADC SAR geral de 12 bits com referência de tensão de 1,8 V dentro da faixa de  $\pm 0,5$  LSB.

Este trabalho apresentou o dimensionamento completo e a caracterização de um comparador Dynamic Bias latch-type, incluindo consumo de energia, tensão de offset, delay em relação ao clock e ruído de entrada. O consumo de energia é igual a 10 fJ por comparação. Este baixo consumo é devido à técnica de polarização dinâmica aplicada a esta topologia, uma solução simples e funcional com baixo overhead para reduzir o consumo de energia do pré-amplificador. Uma tensão de offset com desvio padrão igual a 1,939 mV e 1,938 mV para sinais de entrada ascendente e descendente, respectivamente, foi obtida através da análise realizada pelo bloco VerilogA. O atraso CLK-Q mostrou-se razoável, devido ao uso de transistores relativamente pequenos e forte inversão. O ruído referenciado da entrada do comparador é igual a 0,12609 mV, portanto, para aplicações gerais de ADCs SAR de 12 bits, é adequado conservar o INL.

**Agradecimentos:** Os autores agradecem a bolsa PDA 2022.

**Palavras-chave:** ADCs; CMOS; Comparators; SRSAR; VerilogA;